

PAT-NO: JP408265153A  
DOCUMENT-IDENTIFIER: JP 08265153 A  
TITLE: A/D CONVERSION METHOD  
PUBN-DATE: October 11, 1996

INVENTOR-INFORMATION:

NAME	COUNTRY
FUKUI, TAKAO	
NOMOTO, KAZUTOSHI	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SONY CORP N/A	

APPL-NO: JP07091678  
APPL-DATE: March 23, 1995

INT-CL (IPC): H03M001/08 , G10L009/18 , H03M001/12 , H03H017/02

ABSTRACT:

PURPOSE: To reduce noise of an analog signal by converting a signal obtained by shifting a phase of a clock signal by  $360/N$  degrees each into digital data and by calculating a mean value of N-sets of the digital data.

CONSTITUTION: A clock signal S1 generated by a clock generator 2 is fed to a phase conversion circuit 11. The circuit 11 shifts the phase of the signal S1 by  $360/N$  degrees each sequentially and the resulting signals are respectively fed to N-sets of A/D converters 3A1-3An. The A/D converters 3A1-3An make conversion synchronously with a clock signal corresponding to the analog signal. The phase of reference data being one of the obtained N-sets of the digital data is used to match the phases of the other remaining (N-1) sets of digital data by interpolating the other remaining data based on the phase of the reference data. A digital signal processor 5 calculates

the mean value of the N-sets of the data whose phases are matched and provides an output of the mean value. Thus, the mean value of the N-sets of the digital data is improved for the signal component by  $3 \times \text{NdB}$  and for the noise component by  $3/2 \times \text{NdB}$ .

COPYRIGHT: (C)1996, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-265153

(43) 公開日 平成8年(1996)10月11日

(51) Int.Cl. <sup>6</sup>	識別記号	片内整理番号	F I	技術表示箇所
H 0 3 M 1/08			H 0 3 M 1/08	A
G 1 0 L 9/18			G 1 0 L 9/18	A
H 0 3 M 1/12			H 0 3 M 1/12	C
// H 0 3 H 17/02		8842-5 J	H 0 3 H 17/02	Z

審査請求 未請求 請求項の数 3 F D (全 13 頁)

(21) 出願番号 特願平7-91678

(22) 出願日 平成7年(1995)3月23日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 福井 隆郎

東京都品川区北品川6丁目7番35号ソニー株式会社内

(72) 発明者 野本 和利

東京都品川区北品川6丁目7番35号ソニー株式会社内

(74) 代理人 弁理士 田辺 恵基

(54) 【発明の名称】 アナログデジタル変換方法

(57) 【要約】

【目的】本発明は、アナログデジタル変換する際に既存のA/Dコンバータを用いてアナログ信号のノイズを低減し得るアナログデジタル変換方法を実現しようとするものである。

【構成】所定のクロック信号の位相を $360/N^\circ$  ( $N$ は自然数)ずつ順次ずらして得られる $N$ 個のクロック信号に同期して、アナログ信号をそれぞれ $N$ 個のデジタルデータに変換し、続いて $N$ 個のデジタルデータのうち1つのデジタルデータを基準として他の残りの( $N-1$ )個のデジタルデータを補間して当該基準となる1つのデジタルデータにそれぞれ位相を合わせた後、位相を合わせた後の $N$ 個のデジタルデータの平均値を算出するようにしたことにより、当該 $N$ 個のデジタルデータの平均値における $S/N$ を信号成分のレベルからノイズ成分のレベルを差し引いた分だけ向上させることができる。

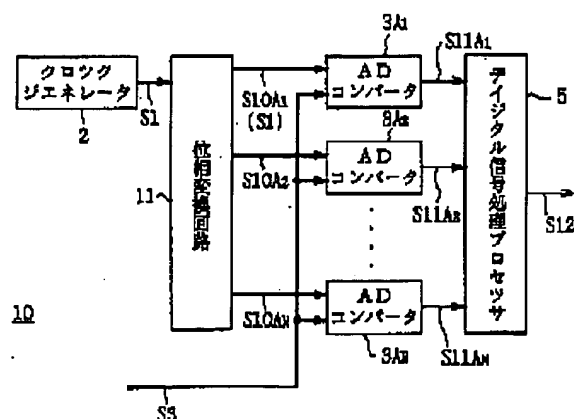


図3 第1実施例による信号処理回路の構成(2)

## 1

## 【特許請求の範囲】

【請求項1】所定のクロック信号の位相を $360/N^\circ$

(Nは自然数)ずつ順次ずらして得られるN個のクロック信号に同期して、アナログ信号をそれぞれN個のデジタルデータに変換する第1のステップと、

上記N個のデジタルデータのうちの1つの上記デジタルデータを基準として他の残りの(N-1)個の上記デジタルデータを補間して当該基準となる1つの上記デジタルデータにそれぞれ位相を合わせた後、位相を合わせた後の上記N個のデジタルデータの平均値を算出する第2のステップとを具えたことを特徴とするアナログデジタル変換方法。

【請求項2】上記第1のステップでは、上記N個のデジタルデータの各サンプリング周波数を第1の所定数倍にオーバーサンプリングすると共に、

上記第2のステップでは、上記オーバーサンプリングした後の上記N個のデジタルデータのうち1つの上記デジタルデータを基準として他の残りの(N-1)個の上記デジタルデータを補間して当該基準となる1つの上記デジタルデータにそれぞれ位相を合わせた後、位相を合わせた後の上記N個のデータの平均値を算出して、当該平均値の上記サンプリング周波数を上記第1の所定数分の1倍にダウンサンプリングすることを特徴とする請求項1に記載のアナログデジタル変換方法。

【請求項3】上記第1のステップでは、上記クロック信号のサンプリング周波数を第1の所定数倍した後、当該クロック信号の位相を $360/N^\circ$ ずつ順次ずらすと共に、

上記第2のステップでは、上記位相を合わせた後の上記N個のデータの平均値の上記サンプリング周波数を上記第1の所定数分の1倍にダウンサンプリングすることを特徴とする請求項1に記載のアナログデジタル変換方法。

## 【発明の詳細な説明】

## 【0001】

【目次】以下の順序で本発明を説明する。

## 産業上の利用分野

## 従来の技術

## 発明が解決しようとする課題

課題を解決するための手段(図1～図12)

作用(図1～図12)

## 実施例

## (1)第1実施例

(1-1)2個のADコンバータを用いる場合(図1及び図2)

(1-2)N個のADコンバータを用いる場合(図3～図5)

(1-3)第1実施例の動作(図6)

(1-4)第1実施例の効果

(2)第2実施例

## 2

(2-1)2個のADコンバータを用いる場合(図7)

(2-2)N個のADコンバータを用いる場合(図8)

(2-3)第2実施例の動作(図9及び図10)

(2-4)第2実施例の効果

(3)第3実施例

(3-1)2個のADコンバータを用いる場合(図11)

(3-2)N個のADコンバータを用いる場合(図12)

(3-3)第3実施例の動作

(3-4)第3実施例の効果

(4)他の実施例

## 発明の効果

## 【0002】

【産業上の利用分野】本発明はアナログデジタル変換方法に関し、例えばオーディオ機器用に用いられるアナログデジタルコンバータを用いてアナログデジタル変換する際に適用して好適なものである。

## 【0003】

【従来の技術】現在、オーディオ機器用に用いられるアナログデジタル(AD)コンバータとしては、20(bit)又は24(bit)等の高解像度のICで構成されたものが提案されている。ところが、20(bit)又は24(bit)等の量子化で得られる理論的なS/N(Signal Noise ratio)を得ることは現状では非常に困難である。例えば、n(bit)の量子化で得られるS/Nの理論値は一般的に $6.02 \times n + 1.7$  [dB]で表されることから、20(bit)の場合のS/Nの理論値は $6.02 \times 20 + 1.7 = 122.1$  [dB]となる。ところが實際上、ADコンバータにより得られた20(bit)の場合のS/Nは110～115 [dB]程度となる。

## 【0004】

【発明が解決しようとする課題】このようにAD変換する際にアナログ信号のノイズを低減できない主な要因として、アナログ系の熱雑音等のホワイトノイズに起因するものが大きいと考えられる。熱雑音の発生は、抵抗やトランジスタ等のデバイスを使用することから避け得ない。従つてこれを低減するためには、ICのチップ内部で使用されているデバイスをトリミングしてS/Nの理論値に適合させる等の高度な技術が必要とされる。また、このようなアナログ的なノイズを抑制するためには技術的にも限界があり、20(bit)、24(bit)等を量子化して得られるS/Nの理論的な限界値を得るには非常に困難となる問題があつた。

【0005】本発明は以上の点を考慮してなされたもので、アナログデジタル変換する際に既存のADコンバータを用いてアナログ信号のノイズを低減し得るアナログデジタル変換方法を提案しようとするものである。

## 【0006】

【課題を解決するための手段】かかる課題を解決するた

め本発明においては、所定のクロック信号の位相を $360/N^\circ$  ( $N$ は自然数)ずつ順次ずらして得られる $N$ 個のクロック信号に同期して、アナログ信号をそれぞれ $N$ 個のデジタルデータに変換し、続いて $N$ 個のデジタルデータのうち1つのデジタルデータを基準として他の残りの( $N-1$ )個のデジタルデータを補間して当該基準となる1つのデジタルデータにそれぞれ位相を合わせた後、位相を合わせた後の $N$ 個のデジタルデータの平均値を算出するようにする。

【0007】

【作用】所定のクロック信号の位相を $360/N^\circ$  ( $N$ は自然数)ずつ順次ずらして得られる $N$ 個のクロック信号に同期して、アナログ信号をそれぞれ $N$ 個のデジタルデータに変換し、続いて $N$ 個のデジタルデータのうち1つのデジタルデータを基準として他の残りの( $N-1$ )個のデジタルデータを補間して当該基準となる1つのデジタルデータにそれぞれ位相を合わせた後、位相を合わせた後の $N$ 個のデジタルデータの平均値を算出するようにしたことにより、当該 $N$ 個のデジタルデータの平均値における $S/N$ を信号成分のレベルからノイズ成分のレベルを差し引いた分だけ向上させ得る。この結果、アナログデジタル変換する際に既存のADコンバータを用いてアナログ信号のノイズを低減することができる。

【0008】

【実施例】以下図面について、本発明の一実施例を詳述する。

【0009】(1)第1実施例

(1-1)2個のADコンバータを用いる場合

図1(A)において信号処理回路1を示し、クロックジェネレータ2において生成されたクロック信号 $S1$ をADコンバータ $3A_1$ に送出すると共に、当該クロック信号 $S1$ をインバータ4を介して位相反転して得られたクロック信号 $S2$ をADコンバータ $3A_2$ に送出する。ADコンバータ $3A_1$ 及び $3A_2$ は、互いに $180^\circ$ 位相のずれたクロック信号 $S1$ 及び $S2$ の立ち上がり(図1(B))に同期して外部からそれぞれアナログ信号 $S3$ が入力されるようになされている。因にADコンバータ $3A_1$ 及び $3A_2$ は、共に同じ構成のものが用いられて\*

\*いる。

【0010】続いてADコンバータ $3A_1$ 及び $3A_2$

は、入力されたアナログ信号 $S3$ をそれぞれサンプリング及び量子化してAD変換した後、これらをデジタルデータ $S4A_1$ 及び $S4A_2$ としてデジタル信号処理プロセッサ(DSP)5に送出する。デジタル信号処理プロセッサ5は、デジタルデータ $S4A_2$ を補間した後、これをデジタルデータ $S4A_1$ と共に平均値化してこれを平均値化信号 $S5$ として出力する。

10 【0011】すなわち図2(A)に示すように、アナログ信号 $S3$ をサンプリング周波数 $FS$ でサンプリングする場合、サンプリング周期 $1/FS$ 毎にサンプリング点を取り、当該各サンプリング点においてそれぞれサンプリングデータ $X(n)$ をとる。続いてサンプリングデータ $X(n)$ に対して $180^\circ$ 位相をずらすと、図2(B)に示すようなサンプリングデータ $Y(n)$ が得られる。

【0012】ここで、実験としては、サンプリングデータ $X(n)$ 及び $Y(n)$ は、それぞれ32(bit)に量子化したデータ(コンピュータにより生成された約1(kHz)の正弦波)に対して、そのうち16(bit)目、18

20 (bit)目及び20(bit)目にそれぞれ疑似乱数のホワイトノイズを足し合わせて生成した信号を用いるようになされている。  
【0013】この場合、サンプリングデータ $X(n)$ 及び $Y(n)$ の $S/N$ は、 $X(n)=98.1$ (dB)(16(bit)のとき)、 $110.1$ (dB)(18(bit)のとき)、 $122.2$ (dB)(20(bit)のとき)となり、 $Y(n)=98.1$ (dB)(16(bit)のとき)、 $110.1$ (dB)(18(bit)のとき)、 $122.2$ (dB)(20(bit)のとき)とほぼ理論値通りとなる。

【0014】次に図2(B)におけるサンプリングデータ $Y(n)$ を例えば7次のラグランジェ(Lagrange)補間を用いて補間することにより、図2(C)に示すようにサンプリングデータ $X(n)$ (図2(A))の各サンプリング点においてサンプリングデータ $Y'(n)$ が得られる。この場合、7次のラグランジェ補間を用いてサンプリングデータ $Y'(n)$ は、次式

【数1】

$$\begin{aligned} Y'(n) = & k_0 \times Y(n-4) + k_1 \times Y(n-3) + k_2 \times Y(n-2) \\ & + k_3 \times Y(n-1) + k_4 \times Y(n) + k_5 \times Y(n+1) \\ & + k_6 \times Y(n+2) + k_7 \times Y(n+3) \quad \cdots (1) \end{aligned}$$

【数2】

$$\begin{aligned}
k_0 &= -c_1 \times c_2 \times c_3 \times c_4 \times c_5 \times c_6 \times c_7 / 35 \\
k_1 &= c_0 \times c_2 \times c_3 \times c_4 \times c_5 \times c_6 \times c_7 \times 4 / 15 \\
k_2 &= -c_0 \times c_1 \times c_3 \times c_4 \times c_5 \times c_6 \times c_7 \times 6 / 5 \\
k_3 &= c_0 \times c_1 \times c_2 \times c_4 \times c_5 \times c_6 \times c_7 \times 4 \\
k_4 &= c_0 \times c_1 \times c_2 \times c_3 \times c_5 \times c_6 \times c_7 \times 4 \\
k_5 &= -c_0 \times c_1 \times c_2 \times c_3 \times c_4 \times c_6 \times c_7 \times 6 / 5 \\
k_6 &= c_0 \times c_1 \times c_2 \times c_3 \times c_4 \times c_5 \times c_7 \times 4 / 15 \\
k_7 &= -c_0 \times c_1 \times c_2 \times c_3 \times c_4 \times c_5 \times c_6 / 35 \quad \dots (2)
\end{aligned}$$

【数3】

$$\begin{aligned}
c_0 &= (3+0.5) / 4 \\
c_1 &= (2+0.5) / 3 \\
c_2 &= (1+0.5) / 2 \\
c_3 &= 0.5 \\
c_4 &= 1-0.5 \\
c_5 &= 1-0.5 / 2 \\
c_6 &= 1-0.5 / 3 \\
c_7 &= 1-0.5 / 4 \quad \dots (3)
\end{aligned}$$

で求められる。この結果、 $S/N$ は $Y'(n) = 98.4$  [dB] (16 [bit] のとき)、110.4 [dB] (18 [bit] のとき)、122.4 [dB] (20 [bit] のとき)となる。

【0015】因に、このようにサンプリングデータ $Y'(n)$ がサンプリングデータ $Y(n)$ よりも若干 $S/N$ が向上している理由としては、ラグランジェ補間が前後数ポイントのデータ（本発明では前後4ポイント）の相関を利用しているため、全く相関のないホワイトノイズの成分は重み付けされないことが挙げられる。従つて、補間方法を換えれば $S/N$ も若干上下する。また本発明においてはリアルタイムではなくコンピュータを用いた計算によるため、実際にデジタル信号処理プロセッサ等で表現する場合はデジタル信号処理プロセッサの計算語長等によつて $S/N$ が変動する。

$$Z(n) = (Y'(n) + X(n)) / 2 \quad \dots (4)$$

と表され、この結果 $S/N$ は次のように測定される。 $Z(n) = 101.7$  [dB] (16 [bit] のとき)、113.7 [dB] (18 [bit] のとき)、125.8 [dB] (20 [bit] のとき)となる。この値を、元の信号であるサンプリングデータ $X(n)$ 及び $Y(n)$ と比較すると、約3※50

30\*【0016】従つて最終的にできるだけ $S/N$ を向上させる場合は、サンプリングデータ $Y'(n)$ の $S/N$ を $Y(n)$ の $S/N$ と同程度の値にする必要がある。サンプリングデータ $Y'(n)$ に存在するノイズとサンプリングデータ $Y(n)$ に存在するノイズとは互いに相関がないため、これらのノイズ成分を足し合わせるとそのレベルは3 [dB] 向上する。これに対して、サンプリングデータ $Y'(n)$ 及び $X(n)$ の信号成分はほぼ同じになるため、これらの信号成分を足し合わせると信号成分はそのまま2倍となることから、そのレベルは6 [dB] 向上する。

【0017】最終的な出力をサンプリングデータ $Z(n)$ とすると次式

【数4】

※ [dB] 程度 $S/N$ が向上することがわかる。

【0018】(1-2) N個のADコンバータを用いる場合

図1との対応部分に同一符号を付して示す図3において、信号処理回路10を示す。信号処理回路10では、

7

クロックジェネレータ2において生成されたクロック信号S1を位相変換回路11に送出する。位相変換回路11は、入力されたクロック信号S1を $360/N^\circ$  (Nは自然数)ずつ順次位相をずらすことにより得られたクロック信号S10A<sub>1</sub> (S1)~S10A<sub>N</sub>をそれぞれADコンバータ3A<sub>1</sub>~3A<sub>N</sub>に送出する。

【0019】ADコンバータ3A<sub>1</sub>~3A<sub>N</sub>は、それぞれ $360/N^\circ$ ずつ順次位相のずれたクロック信号S10A<sub>1</sub>~S10A<sub>N</sub>の立ち上がり同期して外部からそれぞれアナログ信号S3が入力されるようになされている。ADコンバータ3A<sub>1</sub>~3A<sub>N</sub>は、入力されたアナログ信号S3をそれぞれサンプリング及び量子化してAD変換した後、これらをデジタルデータS11A<sub>1</sub>~S11A<sub>N</sub>としてデジタル信号処理プロセッサ5に送出する。デジタル信号処理プロセッサ5は、デジタルデータS11A<sub>1</sub>~S11A<sub>N</sub>を補間した後これらをデジタルデータS11A<sub>1</sub>と共に平均化してこれを平均化信号S12として出力する。

【0020】N個のADコンバータのうち4個を用いる場合について説明する。すなわち図4(A)に示すよう

8

\*に、アナログ信号S3をサンプリング周波数FSでサンプリングする場合、サンプリング周期1/FS毎にサンプリング点を取り、当該各サンプリング点においてそれぞれサンプリングデータX(n)をとる。続いてサンプリングデータX(n)に対して90°ずつ順次位相をずらすと、図4(B)~(D)に示すようにそれぞれサンプリングデータY1(n)、Y2(n)及びY3(n)が得られる。

【0021】次に図4(B)~(D)におけるサンプリングデータY1(n)、Y2(n)及びY3(n)を例えば7次のラグランジェ(Lagrange)補間を用いて補間することにより、図5(A)~(C)に示すようにサンプリングデータX(n) (図4(A))の各サンプリング点においてサンプリングデータY1'(n)、Y2'(n)及びY3'(n)が得られる。

【0022】この場合、サンプリングデータY1'(n)、Y2'(n)及びY3'(n)は、7次のラグランジェ補間を用いて以下のように求められる。すなわちサンプリングデータY1'(n)は、次式

$$\begin{aligned} Y1'(n) = & k0 \times Y1(n-4) + k1 \times Y1(n-3) + k2 \times Y1(n-2) \\ & + k3 \times Y1(n-1) + k4 \times Y1(n) + k5 \times Y1(n+1) \\ & + k6 \times Y1(n+2) + k7 \times Y1(n+3) \quad \dots (5) \end{aligned}$$

【数2】

$$c0 = (3 + 0.25 \times 1) / 4$$

$$c1 = (3 + 0.25 \times 1) / 3$$

$$c2 = (3 + 0.25 \times 1) / 2$$

$$c3 = 0.25 \times 1$$

$$c4 = 1 - 0.25 \times 1$$

$$c5 = 1 - 0.25 \times 1 / 2$$

$$c6 = 1 - 0.25 \times 1 / 3$$

$$c7 = 1 - 0.25 \times 1 / 4$$

..... (6)

で求められ、またサンプリングデータY2'(n)は、

次式

$$\begin{aligned} Y2'(n) = & k0 \times Y2(n-4) + k1 \times Y2(n-3) + k2 \times Y2(n-2) \\ & + k3 \times Y2(n-1) + k4 \times Y2(n) + k5 \times Y2(n+1) \\ & + k6 \times Y2(n+2) + k7 \times Y2(n+3) \quad \dots (7) \end{aligned}$$

【数2】

☆50☆【数8】

$$c_0 = (3 + 0.25 \times 2) / 4$$

$$c_1 = (3 + 0.25 \times 2) / 3$$

$$c_2 = (3 + 0.25 \times 2) / 2$$

$$c_3 = 0.25 \times 2$$

$$c_4 = 1 - 0.25 \times 2$$

$$c_5 = 1 - 0.25 \times 2 / 2$$

$$c_6 = 1 - 0.25 \times 2 / 3$$

$$c_7 = 1 - 0.25 \times 2 / 4$$

..... (8)

で求められ、さらにサンプリングデータ  $Y_3'(n)$  \* 【数9】

は、次式

$$\begin{aligned} Y_3'(n) = & k_0 \times Y_3(n-4) + k_1 \times Y_3(n-3) + k_2 \times Y_3(n-2) \\ & + k_3 \times Y_3(n-1) + k_4 \times Y_3(n) + k_5 \times Y_3(n+1) \\ & + k_6 \times Y_3(n+2) + k_7 \times Y_3(n+3) \quad \text{..... (9)} \end{aligned}$$

【数2】

※ ※ 【数10】

$$c_0 = (3 + 0.25 \times 3) / 4$$

$$c_1 = (3 + 0.25 \times 3) / 3$$

$$c_2 = (3 + 0.25 \times 3) / 2$$

$$c_3 = 0.25 \times 3$$

$$c_4 = 1 - 0.25 \times 3$$

$$c_5 = 1 - 0.25 \times 3 / 2$$

$$c_6 = 1 - 0.25 \times 3 / 3$$

$$c_7 = 1 - 0.25 \times 3 / 4$$

..... (10)

で求められる。この結果、 $S/N$ は  $Y_1'(n) = 98.9$  [dB] (16 [bit] のとき)、 $110.9$  [dB] (18 [bit] のとき)、 $122.9$  [dB] (20 [bit] のとき) となり、 $Y_2'(n) = 98.4$  [dB] (16 [bit] のとき)、 $110.4$  [dB] (18 [bit] のとき)、 $122.4$  [dB] (20 [bit] のとき) となる。さらに  $Y_3'(n) = 98.9$  [dB] (16 [bit] のとき)、 $110.9$  [dB] (18 [bit] のとき)、 $122.9$  [dB] (20 [bit] のとき) となる。

★ 【0023】サンプリングデータ  $Y_1'(n)$ 、 $Y_2'(n)$  及び  $Y_3'(n)$  に存在するノイズとサンプリングデータ  $Y(n)$  に存在するノイズとは相関がないので、このノイズ同士を足し合わせるとノイズ成分のレベルは6 [dB] 向上し、信号成分は単純に4倍になることから12 [dB] 向上する。従つて理論的には  $S/N$  は6 [dB] 向上する。

【0024】最終的な出力を  $Z(n)$  とすると次式

★ 【数11】

$$Z(n) = (Y_1'(n) + Y_2'(n) + Y_3'(n) + X(n)) / 4$$

..... (11)

と表され、この結果  $S/N$  は次のように測定される。 $Z_{50}(n) = 104.8$  [dB] (16 [bit] のとき)、 $116.8$



11

[dB] (18 [bit] のとき)、128.9 [dB] (20 [bit] のとき) となる。この値をサンプリングデータ  $X(n)$  及び  $Y(n)$  と比較すると、ほぼ理論値の通りに約6 [dB] 程度  $S/N$  が向上することがわかる。

【0025】このように、入力されたクロック信号  $S1$  の位相を  $360/N^\circ$  ずつ順次ずらす場合において、 $N$  の値を大きく設定することに伴い、 $S/N$  も  $3 \times k$  [dB] となつて向上する。もつともこの場合、信号成分の理論的な理想値が最大となるため、 $N$  の値を大きくするに従つて  $S/N$  が良くなるということではなく、理想値に近

【0026】(1-3) 第1実施例の動作

以上の構成において、図3について上述した信号処理回路10は図6に示す処理手順に従つてアナログ信号のノイズを低減するための処理を実行する。すなわち信号処理回路10はステップSP1から当該処理手順に入り、ステップSP2において所定のサンプリング周波数  $FS$  でなるクロック信号を発生した後ステップSP3に移る。このステップSP3において信号処理回路10は、入力されたクロック信号の位相を  $360/N^\circ$  ( $N$  は自然数) ずつ順次ずらして、 $N$  個のADコンバータ  $3A_1 \sim 3A_N$  にそれぞれ送出した後ステップSP4に移る。

【0027】続いてステップSP4において信号処理回路10は、 $N$  個のADコンバータ  $3A_1 \sim 3A_N$  にそれぞれ入力されたアナログ信号をそれぞれ対応するクロック信号に同期してデジタル変換する。そして信号処理回路10は、この結果得られる  $N$  個のデジタルデータのうち1つのデジタルデータを基準として他の残りの ( $N-1$ ) 個のデジタルデータを補間することにより、当該基準となる1つのデジタルデータにそれぞれ

【0028】このとき基準となる1つのデジタルデータに存在するノイズと他の残りの ( $N-1$ ) 個のデジタルデータの補間後のデジタルデータに存在するノイズとが互いに相関がないことから、これらのノイズ成分を足し合わせた場合には、 $3/2 \times N$  [dB] 分レベルが向上する。これに対して、基準となる1つのデジタルデータの信号成分と他の残りの ( $N-1$ ) 個のデジタルデータの補間後の信号成分とを足し合わせた場合には、信号成分はそのまま  $N$  倍となることから、 $3 \times N$  [dB] 分レベルが向上する。

【0029】この後、信号処理回路10はステップSP5に移つて、これらの位相を合わせた  $N$  個のデジタルデータの平均値を計算して出力する。このときの  $N$  個のデジタルデータの平均値は、信号成分が  $3 \times N$  [dB] 分レベルが向上すると共にノイズ成分が  $3/2 \times N$  [dB] 分レベルが向上することから、 $S/N$  は  $3/2 \times N$  [dB] 程度向上する。この後、信号処理回路10はステップSP6に移つて当該処理手順を終了する。

【0030】(1-4) 第1実施例の効果

12

以上の構成によれば、アナログ信号を  $N$  個のADコンバータ  $3A_1 \sim 3A_N$  を用いてAD変換して得られる  $N$  個のデジタルデータのうち、基準となる1つのデジタルデータの位相に対して他の残りの ( $N-1$ ) 個のデジタルデータの位相をそれぞれ補間して合わせた後、これらのデジタルデータの平均値を算出することにより、 $N$  個のデジタルデータの平均値における  $S/N$  は、信号成分のレベルからノイズ成分のレベルを差し引いた分だけ向上することとなり、この結果AD変換する際のアナログ信号のノイズを低減することができる。また既存のADコンバータを複数組み合わせるようにしたことにより、アナログ信号のノイズを低減するための装置を新たに設ける必要がなくて済む。

【0031】(2) 第2実施例

(2-1) 2個のADコンバータを用いる場合

図1(A)との対応部分に同一符号を付して示す図7において、信号処理回路20には、第1実施例の信号処理回路1に加えてADコンバータ  $3A_1$  及び  $3A_2$  の出力側にそれぞれオーバーサンプリングフィルタ  $21A_1$  及び  $21A_2$  が設けられると共に、デジタル信号処理プロセッサ5の出力側にデシメーションフィルタ22が設けられている。

【0032】オーバーサンプリングフィルタ  $21A_1$  及び  $21A_2$  は、それぞれデジタルデータ  $S4A_1$  及び  $S4A_2$  の各周波数を  $M$  倍 ( $M$  は正数) にオーバーサンプリングした後、これらをそれぞれオーバーサンプリング信号  $S20A_1$  及び  $S20A_2$  としてデジタル信号処理プロセッサ5に送出する。続いてデジタル信号処理プロセッサ5は、オーバーサンプリング信号  $S20A_2$  を補間した後これをオーバーサンプリング信号  $S20A_1$  と共に平均値化してこれを平均値化信号  $S21$  としてデシメーションフィルタ22に送出する。

【0033】デシメーションフィルタ22は、平均値化信号  $S21$  に基づいて  $M$  倍にオーバーサンプリングされたサンプリング周波数  $M \times FS$  を  $1/M$  倍にダウンサンプリングして元のサンプリング周波数  $FS$  に戻した後、これをフィルタ出力信号  $S22$  として出力する。

【0034】(2-2)  $N$  個のADコンバータを用いる場合

図3との対応部分に同一符号を付して示す図8において、信号処理回路30を示す。信号処理回路30には、第1実施例の信号処理回路10に加えてADコンバータ  $3A_1 \sim 3A_N$  の出力側にそれぞれオーバーサンプリングフィルタ  $21A_1 \sim 21A_N$  が設けられると共に、デジタル信号処理プロセッサ5の出力側にデシメーションフィルタ22が設けられている。

【0035】オーバーサンプリングフィルタ  $21A_1 \sim 21A_N$  は、それぞれデジタルデータ  $S11A_1 \sim S11A_N$  の各サンプリング周波数  $FS$  を  $M$  倍 ( $M$  は正数) にオーバーサンプリングした後、これらをそれぞれ

オーバーサンプリング信号 $S30A_1 \sim S30A_N$ としてデジタル信号処理プロセッサ5に送出する。続いてデジタル信号処理プロセッサ5は、オーバーサンプリング信号 $S30A_2 \sim S30A_N$ を補間した後これをオーバーサンプリング信号 $S30A_1$ と共に平均値化してこれを平均値化信号 $S31$ としてデシメーションフィルタ22に送出する。

【0036】デシメーションフィルタ22は、平均値化信号 $S31$ に基づいて $M$ 倍にオーバーサンプリングされたサンプリング周波数 $M \times FS$ を $1/M$ 倍にダウンサンプリングして元のサンプリング周波数 $FS$ に戻した後、これをフィルタ出力信号 $S22$ として出力する。

【0037】(2-3)第2実施例の動作

ここで第2実施例において、デジタル信号処理プロセッサ5における補間方法としては第1実施例の場合と同様にラグランジエ補間を用いるようになされている。この場合デジタル信号処理プロセッサ5から出力される平均値化信号 $S21$ は、図9に示すように例えばサンプリング周波数 $FS=44.1$  [kHz] となる周波数曲線 $F1$ として表わされ、周波数曲線 $F1$ 上の点 $P$ において周波数が約15 [kHz] のときレベルが低下する。

【0038】このとき平均値化信号 $S21$ の周波数特性がロールオフする周波数は15 [kHz] 程度と非常に高域であることから、聴覚的にはこの周波数特性はあまり影響することなく、ノイズの低域の効果の方が大きく影響し、源音に対して音質が改善されて感じられる場合が多い。ところが業務用のオーディオ機器に用いられる場合には、高域のレベルが低下するのを回避する必要があるため、ラグランジエ補間を用いた場合には高域のレベルが低下するのを避け得ない問題があった。

【0039】すなわち第1実施例においては、図10(A)に示すように、アナログ信号 $S3$ をナイキスト周波数 $FS/2$ で帯域制限してサンプリング周波数 $FS$ でサンプリング及び量子化された信号の信号成分の周波数帯域は、ナイキスト周波数 $FS/2$ 以下まで存在する。このためラグランジエ補間を用いると、信号成分の高域が低下することとなる。

【0040】この問題を解決するためADコンバータ $3A_1 \sim 3A_N$ の出力側にそれぞれオーバーサンプリングフィルタ $21A_1 \sim 21A_N$ を設け、それぞれデジタルデータ $S11A_1 \sim S11A_N$ の各サンプリング周波数 $FS$ を $M$ 倍にオーバーサンプリングする。すなわち第2実施例においては、図10(B)に示すように、アナログ信号 $S3$ をナイキスト周波数 $FS/2$ で帯域制限してサンプリング周波数 $FS$ でサンプリング及び量子化して得られたデジタルデータ $S11A_1 \sim S11A_N$ について、それぞれ各サンプリング周波数 $FS$ が $M$ 倍になるようにオーバーサンプリングするようにしたことにより、オーバーサンプリング信号 $S30A_1 \sim S30A_N$ の信号成分の周波数帯域はサンプリング周波数 $M \times FS$

に対して低域側となる。

【0041】従つて高域のレベルが低下するラグランジエ補間を用いた場合にも、オーバーサンプリング信号 $S30A_1 \sim S30A_N$ の信号成分の周波数帯域には影響することなく当該信号成分の高域のレベルが低下するのを防止することができる。

【0042】(2-4)第2実施例の効果

以上の構成によれば、アナログ信号を $N$ 個のADコンバータ $3A_1 \sim 3A_N$ を用いてAD変換して得られる $N$ 個のデジタルデータの各サンプリング周波数 $FS$ を $M$ 倍にオーバーサンプリングした後、これらのうちの基準となる1つのデジタルデータの位相に対して他の残りの $(N-1)$ 個のデジタルデータの位相をそれぞれ補間して合わせるようにしたことにより、ラグランジエ補間を用いた場合であつてもオーバーサンプリング後の $N$ 個のデジタルデータの信号成分の高域のレベルが低下するのを防止することができる。

【0043】さらに位相を合わせた後の $N$ 個のデジタルデータの平均値を算出し、当該平均値でなるデジタルデータのサンプリング周波数 $M \times FS$ を $1/M$ 倍にダウンサンプリングして元のサンプリング周波数 $FS$ に戻すことにより、第1実施例の場合と同様にAD変換する際のアナログ信号のノイズを低減することができる。また既存のADコンバータを複数組み合わせるようにしたことにより、アナログ信号のノイズを低減するための装置を新たに設ける必要がなくて済む。

【0044】(3)第3実施例

(3-1)2個のADコンバータを用いる場合

図7と対応部分に同一符号を付して示す図11において、信号処理回路40には、第2実施例の信号処理回路20と異なり、クロックジェネレータ2に代わつてクロックジェネレータ41が設けられると共に、オーバーサンプリングフィルタ $21A_1$ 及び $21A_2$ が取り除かれてADコンバータ $3A_1$ 及び $3A_2$ の出力側とデジタル信号処理プロセッサ5とが接続されている。

【0045】クロックジェネレータ41は、サンプリング周波数 $FS$ の $M$ 倍( $M$ は正数)でなるクロック信号 $S41$ を生成して、これをADコンバータ $3A_1$ に送出すると共に、当該クロック信号 $S41$ をインバータ4を介して位相反転して得られたクロック信号 $S42$ をADコンバータ $3A_2$ に送出する。

【0046】ADコンバータ $3A_1$ 及び $3A_2$ は、互いに $180^\circ$ 位相のずれたクロック信号 $S41$ 及び $S42$ に同期して外部からそれぞれアナログ信号 $S3$ が入力される。ADコンバータ $3A_1$ 及び $3A_2$ は、アナログ信号 $S3$ をそれぞれAD変換すると共にサンプリングした後、これらをそれぞれデジタルデータ $S43A_1$ 及び $S43A_2$ としてデジタル信号処理プロセッサ5に送出する。

【0047】続いてデジタル信号処理プロセッサ5

は、デジタルデータS43A<sub>2</sub>を補間した後これをデジタルデータS43A<sub>1</sub>と共に平均値化してこれを平均値化信号S44としてデシメーションフィルタ22に送出する。デシメーションフィルタ22は、平均値化信号S44に基づいてM倍にされたサンプリング周波数M×FSを1/M倍にダウンサンプリングして元のサンプリング周波数FSに戻すようにした後、これをフィルタ出力信号S22として出力する。

【0048】(3-2) N個のADコンバータを用いる場合

図7との対応部分に同一符号を付して示す図12において、信号処理回路50には、第2実施例の信号処理回路30と異なり、クロックジェネレータ2に代わってクロックジェネレータ41が設けられると共に、オーバーサンプリングフィルタ21A<sub>1</sub>～21A<sub>N</sub>が取り除かれてADコンバータ3A<sub>1</sub>～3A<sub>N</sub>の出力側とデジタル信号処理プロセッサ5とが接続されている。

【0049】クロックジェネレータ41は、サンプリング周波数FSのM倍(Mは正数)でなるクロック信号S41を生成して位相変換回路11に送出する。位相変換回路11は、入力されたクロック信号S41を360/N°(Nは自然数)ずつ順次位相をずらすことにより得られたクロック信号S50A<sub>1</sub>(S41)～S50A<sub>N</sub>をそれぞれADコンバータ3A<sub>1</sub>～3A<sub>N</sub>に送出する。

【0050】ADコンバータ3A<sub>1</sub>～3A<sub>N</sub>は、それぞれ360/N°ずつ順次位相のずれたクロック信号S50A<sub>1</sub>～S50A<sub>N</sub>に同期して外部からそれぞれアナログ信号S3が入力されるようになされている。ADコンバータ3A<sub>1</sub>～3A<sub>N</sub>は、入力されたアナログ信号S3をそれぞれAD変換すると共にサンプリングした後、これらをデジタルデータS51A<sub>1</sub>～S51A<sub>N</sub>としてデジタル信号処理プロセッサ5に送出する。デジタル信号処理プロセッサ5は、デジタルデータS51A<sub>2</sub>～S51A<sub>N</sub>を補間した後これらをデジタルデータS51A<sub>1</sub>と共に平均値化してこれを平均値化信号S52としてデシメーションフィルタ22に送出する。

【0051】デシメーションフィルタ22は、平均値化信号S52に基づいてM倍にされたサンプリング周波数M×FSを1/M倍にダウンサンプリングして元のサンプリング周波数FSに戻すようにした後、これをフィルタ出力信号S53として出力する。

【0052】(3-3) 第3実施例の動作

第3実施例においては、第2実施例におけるクロックジェネレータ2に代わってクロックジェネレータ41を設け、サンプリング周波数FSのM倍でなるクロック信号S41を生成するようにしたことにより、アナログ信号S3をナイキスト周波数FS/2で帯域制限してサンプリング周波数M×FSでサンプリング及び量子化して得られるデジタルデータS43A<sub>1</sub>～S43A<sub>N</sub>の信号成分の周波数帯域はサンプリング周波数M×FSに対し

て低域側となる。

【0053】従って第2実施例の場合と同様に、高域のレベルが低下するラグランジェ補間を用いた場合にも、デジタルデータS43A<sub>1</sub>～S43A<sub>N</sub>の信号成分の周波数帯域には影響することなく当該信号成分の高域のレベルが低下するのを防止することができる。

【0054】(3-4) 第3実施例の効果

以上の構成によれば、サンプリング周波数FSをM倍したサンプリング周波数M×FSでなるクロック信号の位相を360/N°(Nは自然数)ずつ順次ずらして得られるN個のクロック信号に同期して、アナログ信号をそれぞれ対応するN個のADコンバータ3A<sub>1</sub>～3A<sub>N</sub>においてAD変換する。この結果得られるN個のデジタルデータのうち基準となる1つのデジタルデータの位相に対して他の残りの(N-1)個のデジタルデータを補間してそれぞれ位相を合わせるようにしたことにより、ラグランジェ補間を用いた場合であつてもオーバーサンプリング後のN個のデジタルデータの信号成分の高域のレベルが低下するのを防止することができる。

【0055】さらに位相を合わせた後のN個のデジタルデータの平均値を算出し、当該平均値でなるデジタルデータのサンプリング周波数M×FSを1/M倍にダウンサンプリングして元のサンプリング周波数FSに戻すことにより、第1実施例の場合と同様にAD変換する際のアナログ信号のノイズを低減することができる。また既存のADコンバータを複数組み合わせるようにしたことにより、アナログ信号のノイズを低減するための装置を新たに設ける必要がなくて済む。

【0056】(4) 他の実施例

なお上述の実施例においては、デジタル信号処理プロセッサ5における信号の補間方法として7次のラグランジェ補間を用いる場合について述べたが、本発明はこれに限らず、7次以外の6以下又は8以上のラグランジェ補間を用いても良く、また例えばニュートン補間、ニュートン-ラフソン補間等の種々の補間方法を用いて補間するようにしても良い。

【0057】

【発明の効果】上述のように本発明によれば、所定のクロック信号の位相を360/N°(Nは自然数)ずつ順次ずらして得られるN個のクロック信号に同期して、アナログ信号をそれぞれN個のデジタルデータに変換し、続いてN個のデジタルデータのうち1つのデジタルデータを基準として他の残りの(N-1)個のデジタルデータを補間して当該基準となる1つのデジタルデータにそれぞれ位相を合わせた後、当該位相を合わせたN個のデジタルデータの平均値をとるようにしたことにより、当該N個のデジタルデータの平均値におけるS/Nを信号成分のレベルからノイズ成分のレベルを差し引いた分だけ向上させ得る。この結果、アナログデジタル変換する際に既存のADコンバータを用いてアナ

17

ログ信号のノイズを低減し得るアナログデジタル変換方法を実現することができる。

【図面の簡単な説明】

【図1】第1実施例による信号処理回路の構成を示すブロック図である。

【図2】アナログ信号をサンプリングする際の説明に供する信号波形図である。

【図3】第1実施例による信号処理回路の構成を示すブロック図である。

【図4】アナログ信号をサンプリングする際の説明に供する信号波形図である。

【図5】アナログ信号をサンプリングする際の説明に供する信号波形図である。

【図6】第1実施例における信号処理回路による処理手順を示すフローチャートである。

【図7】第2実施例による信号処理回路の構成を示すブロック図である。

18

【図8】第2実施例による信号処理回路の構成を示すブロック図である。

【図9】ラグランジエ補間を用いた場合の周波数特性曲線図である。

【図10】オーバーサンプリングによる信号スペクトルを表す信号波形図である。

【図11】第3実施例による信号処理回路の構成を示すブロック図である。

【図12】第3実施例による信号処理回路の構成を示すブロック図である。

【符号の説明】

1、10、20、30、40、50……信号処理回路、  
2、41……クロックジェネレータ、3A<sub>1</sub>～3A<sub>N</sub>……ADコンバータ、4……インバータ、5……デジタル信号処理プロセッサ、11……位相変換回路、21A<sub>1</sub>～21A<sub>N</sub>……オーバーサンプリングフィルタ、22……デシメーションフィルタ。

【図1】

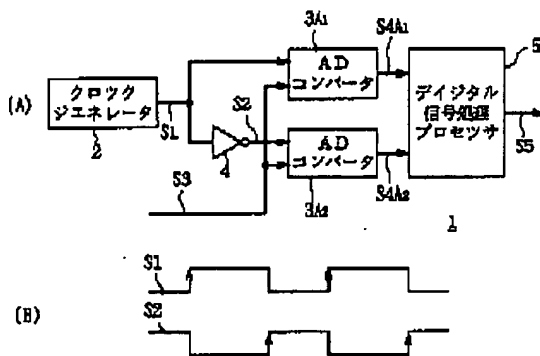


図1 第1実施例による信号処理回路の構成(1)

【図3】

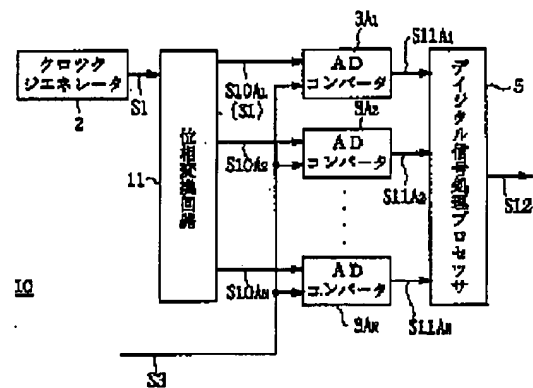


図3 第1実施例による信号処理回路の構成(2)

【図7】

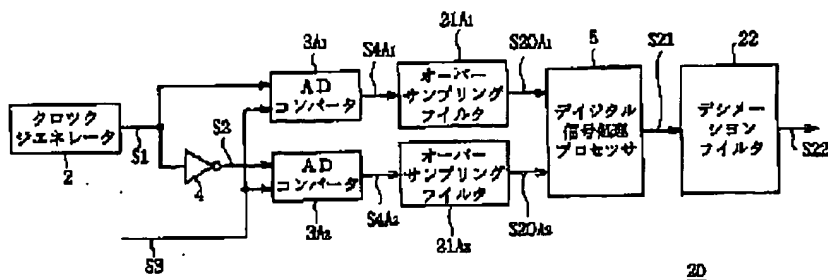


図7 第2実施例による信号処理回路の構成(1)

【図2】

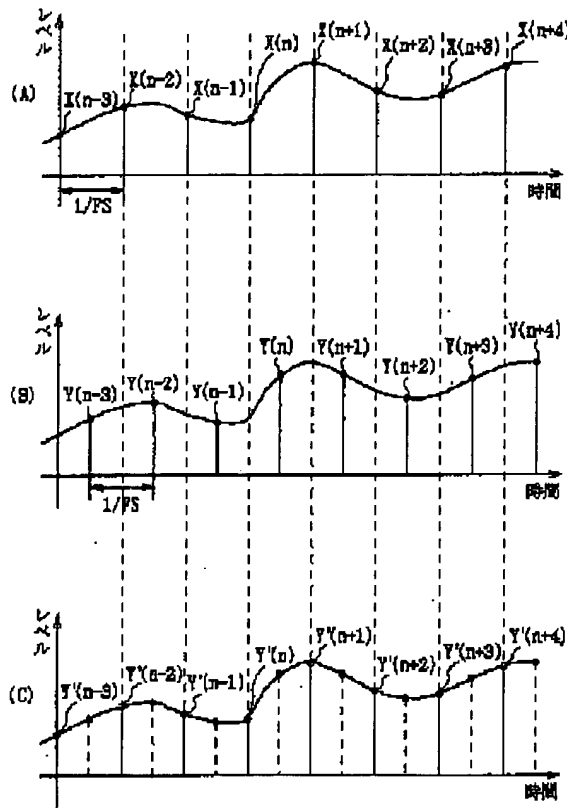


図2 アナログ信号のサンプリング

【図4】

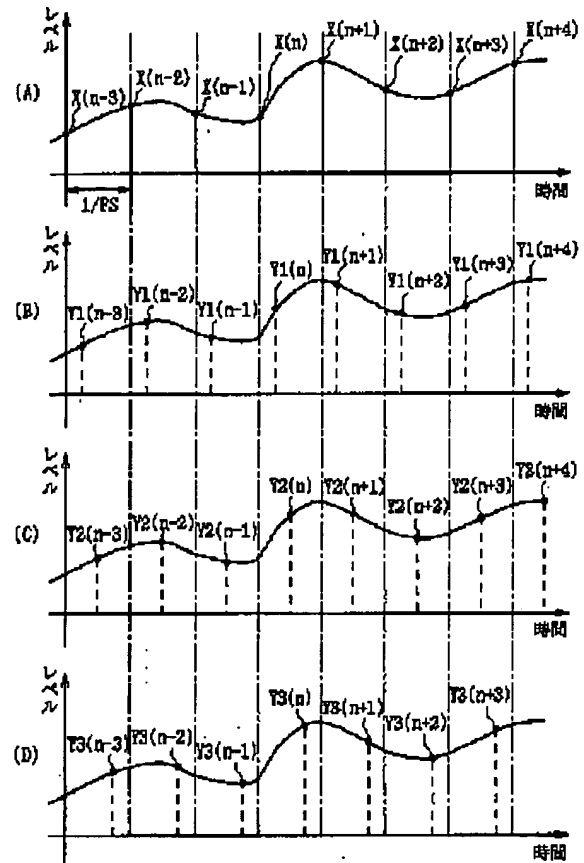


図4 アナログ信号のサンプリング (1)

【図8】

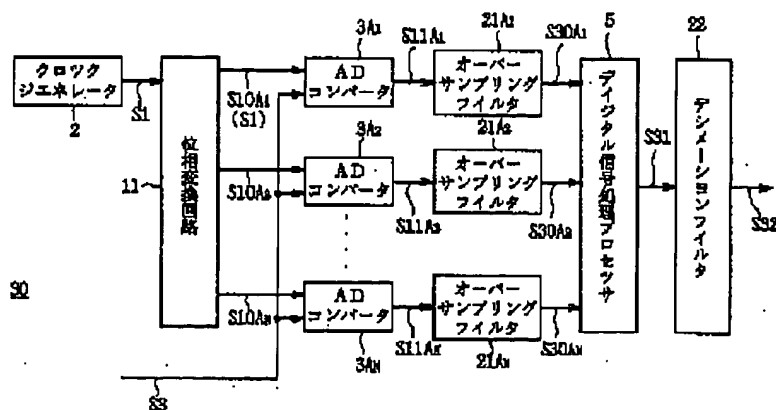


図8 第2実施例による信号処理回路の構成 (2)

【図5】

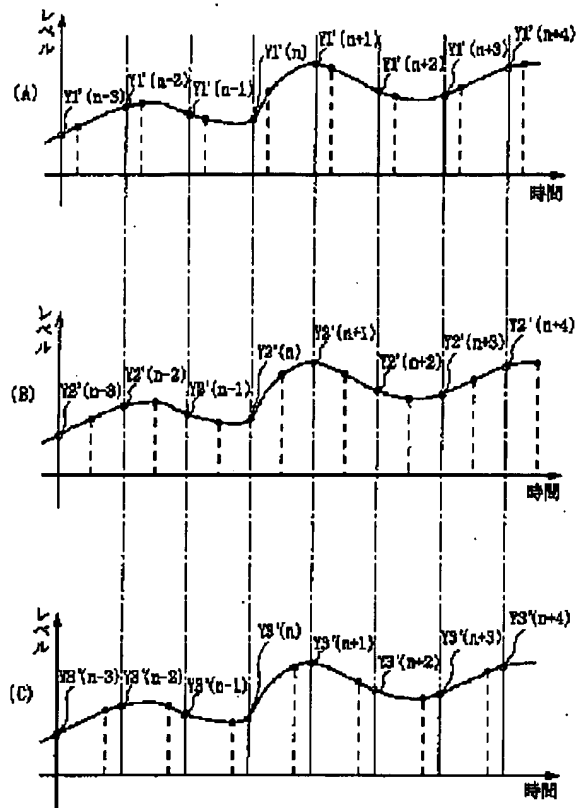


図5 アナログ信号のサンプリング(2)

【図9】

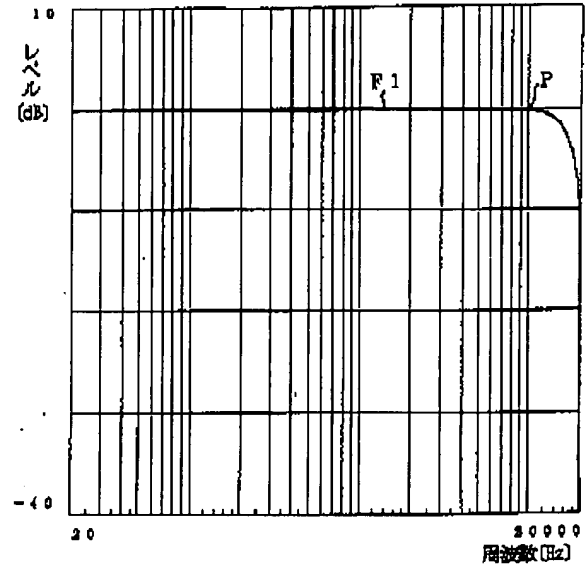


図9 ラグランジュ補間による信号の周波数特性

【図10】

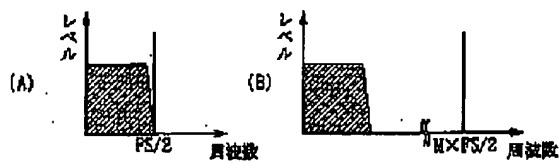


図10 オーバーサンプリングによる信号スペクトル

【図11】

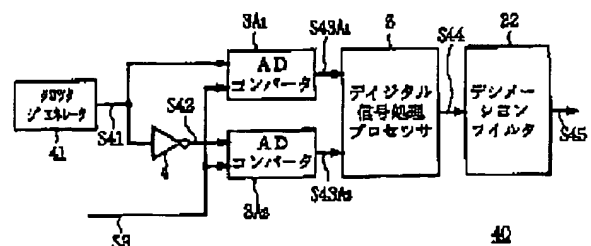


図11 第8実施例による信号処理回路の構成(1)

【図6】

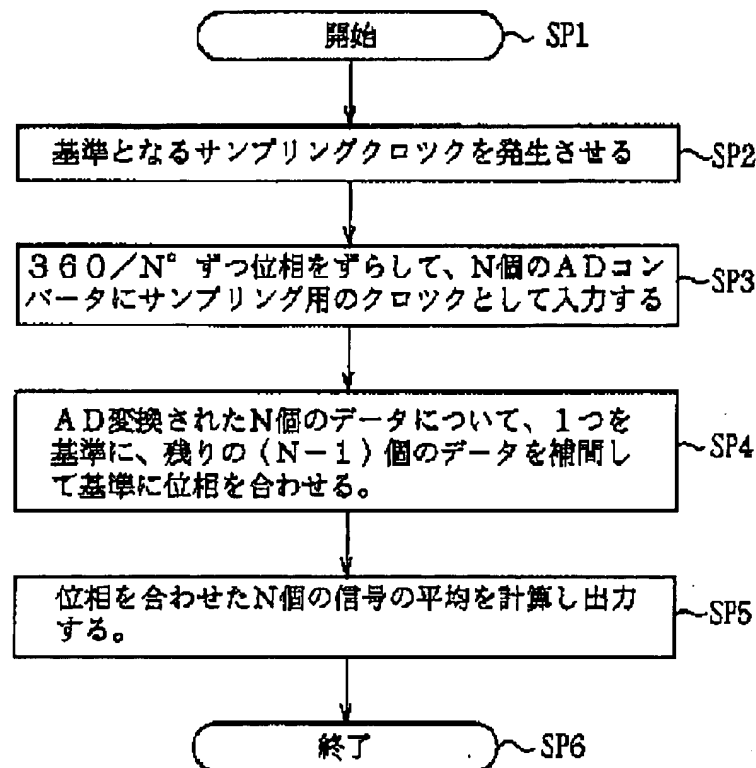


図6 信号処理回路による処理手順

【図12】

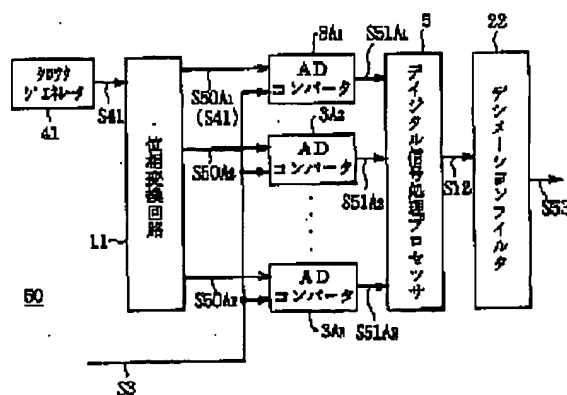


図12 第3実施例による信号処理回路の構成(2)